

(19) Japanese Patent Office

(11) Laid-Open Japanese Patent Application (Kokai)

Number: S53-27382

Unexamined Patent Application Gazette

5 (43) Laid-Open Publication (Kokai) Date: March 14, 1978

(51) Int. Cl.² Identification code (52) Japanese Classification

H 01 L 31/10

99(5) J 42

G 11 C 13/06

97(7) C 19

Internal Ref. No.

10 6655-57

7056-56

Number of inventions: 3

Request for examination: Not requested

(Total 13 pages)

15

(54) Title of the Invention:

Photosensitive device and photosensitive element used in the
photosensitive device

(21) Application number: S52-102532

20 (22) Date of filing: August 26, 1977

Declaration of priority

(31) 35533-76

(32) August 26, 1976

(33) Netherlands

25 (72) Inventor: Jan LOHSTROH

Emmasingel 29, Eindhoven, Netherlands

(71) Applicant: N.V. Philips Gloeilampenfabriken

Emmasingel 29, Eindhoven, Netherlands

(74) Representative Patent attorney

Akihide SUGIMURA (and one other)

5

Specification

1. Title of the invention

Photosensitive device and photosensitive element used in the
photosensitive device

10

2. Claims

15

20

25

1. A photosensitive device comprising a semiconductor body
having a photosensitive element which operates in a charge transfer
and charge storage mode, said photosensitive element comprising a
semiconductor body portion of a first type conductivity and an
electrode layer separated from a main surface of said semiconductor
body portion by a barrier layer and extending over a photosensitive
area of said semiconductor body portion, mobile charge carriers being
generated in the photosensitive area in response to incident radiation
to be detected, said electrode layer forming with an underlying portion
of said semiconductor body a charge transfer structure having means
for applying bias potential to the electrode layer to form a capacitive
depletion layer in said underlying semiconductor body portion during
operation without inverting the conductivity type in the surface of said
semiconductor body portion, and means for producing in said
depletion layer a drift field extending across said photosensitive area,
substantially parallel to said major surface and in the direction of an

edge portion of said electrode layer so that the produced photo-generated charge carriers from the whole of said photo-sensitive area be transported along said drift field towards said edge portion; the photosensitive device further comprising means for locally delimiting in the semiconductor body portion a charge storage zone adjacent to said edge portion of said electrode layer and for storing the photo-generated charge carriers transported by said drift field; and means associated with said charge storage zone for detecting the charge state of said charge storage zone.

2. A photosensitive device as claimed in Claim 1, wherein the largest dimension of said charge storage zone is at least one order of magnitude smaller than the smallest dimension parallel to said major surface across the whole of said photosensitive area underlying said electrode layer.

3. A photosensitive device as claimed in Claim 1, wherein said smallest dimension across the photosensitive area is at least 1 mm.

4. A photosensitive device as claimed in any one of Claims 1 to 3, wherein said photosensitive area underlying the electrode layer is at least 1 mm².

5. A photosensitive device as claimed in any one of Claims 1 to 5, wherein said barrier layer is an insulating layer, and the electrode layer comprises a resistive electrode which extends over said photosensitive area and has first and second connections, from which a voltage having a potential difference is applied along said resistive electrode to produce the drift-field in the underlying semiconductor body portion.

6. A photosensitive device as claimed in Claim 5, comprising means for applying to one of said first and second connections a voltage pulse so as to allow the photo-generated charge carriers to be accumulated below said resistive electrode when, in the absence of said pulse, said one connection is at the same potential as the other connection, and then to drift towards said charge storage zone when said pulse is applied to establish said potential difference between the connections.

7. A photosensitive device as claimed in Claim 5 or Claim 6, wherein the charge storage zone and said first connection are provided adjacent to one corner of the resistive electrode, and said second connection is provided adjacent to an opposite corner of said resistive electrode.

8. A photosensitive device as claimed in Claim 5 or Claim 6, wherein the electrode layer further comprises an elongate resistive electrode which extends alongside of the main resistive electrode and has a smaller surface area, said first connection being provided adjacent to the elongate resistive electrode, said second connection being provided adjacent to an opposite side of said resistive electrode, said charge storage zone being provided adjacent to one end of said elongate resistive electrode, and the elongate resistive electrode comprising connections adjacent opposite ends thereof for applying a voltage having a potential difference therebetween to produce a drift-field in the underlying semiconductor body portion in the direction of said charge storage zone.

5 9. A photosensitive device as claimed in any one of Claims 1 to 9, wherein the charge storage zone is provided with a switchable connecting device for temporarily connecting said charge storage zone during operation to a voltage source and reset thereby the potential of said charge storage zone prior to the collection of photo-generated charge carriers.

10 10. A photosensitive device as claimed in Claim 9, wherein said switchable connecting device is an insulated-gate field-effect transistor which is provided in said semiconductor body portion, and wherein said charge storage zone also forms a main electrode zone of said transistor.

15 11. A photosensitive device as claimed in Claim 9 or Claim 10, wherein the charge storage zone is an impurity-doped zone of opposite conductivity type to that of said semiconductor body portion and is locally provided in said semiconductor body portion forming a p-n junction therewith.

20 12. A photosensitive device as claimed in Claim 9 or Claim 10, wherein an insulation electrode layer forms together with the underlying semiconductor body portion of said one conductivity a bulk-channel charge transfer structure for charge carriers of said conductivity type, and wherein a semiconductor zone forming the charge storage zone is a part of the semiconductor body portion of one conductivity type.

25 13. A photosensitive device as claimed in any one of Claims 1 to 12, wherein a circuit for detecting the charge state of said charge

storage zone is integrated in the same semiconductor body as said photosensitive element.

14. A photosensitive device as claimed in any one of Claims 1 to 13, wherein the charge state of the charge storage zone is detected by a circuit which compares the potential of the charge storage zone with the potential of a corresponding zone which has not collected charge carriers generated by incident radiation, the circuit switching an output stage from one state to another state when a difference between both potentials exceeds a predetermined value.

15. A magneto-optical memory device using a photosensitive device as claimed in any one of Claims 1 to 14, for detecting optical radiation representative of the memory state of individual storage sites of the magneto-optical memory device.

16. A photosensitive element suitable for use in the photosensitive device as claimed in Claim 2, wherein the largest dimension of said charge storage zone is at least one order of magnitude smaller than the smallest dimension parallel to said major surface across the whole of said photosensitive area underlying said electrode layer.

17. A photosensitive element as claimed in Claim 16, wherein said smallest dimension across the photosensitive area is at least 1 mm.

18. A photosensitive element as claimed in Claim 16 or 17, wherein said photosensitive area underlying the electrode layer is at least 1 mm².

19. A photosensitive element suitable for use in a photosensitive device as claimed in Claim 5 or Claim 6, wherein the

charge storage zone and said first connection are provided adjacent to one corner of the resistive electrode, and said second connection is provided adjacent to an opposite corner of said resistive electrode.

5 20. A photosensitive element suitable for use in the photosensitive device as claimed in Claim 5 or Claim 6, wherein the electrode layer further comprises an elongate resistive electrode which extends alongside of the main resistive electrode and has a smaller surface area, said first connection being provided adjacent to the elongate resistive electrode, said second connection being provided
10 adjacent to an opposite side edge of said main resistive electrode, said charge storage zone being provided adjacent to one end of said elongate resistive electrode, and the elongate resistive electrode comprising connections adjacent opposite ends thereof for applying a voltage having a potential difference therebetween to produce a drift-
15 field in the underlying semiconductor body portion in the direction of said charge storage zone.

21. A photosensitive element suitable for use in a photosensitive device as claimed in Claim 9, wherein the charge storage zone is provided with a switchable connecting device for
20 temporarily connecting said charge storage zone during operation to a voltage source and reset thereby the potential of said charge storage zone prior to the collection of photo-generated charge carriers.

22. A photosensitive element as claimed in Claim 21, wherein said switchable connecting device is an insulated-gate field-effect
25 transistor which is provided in said semiconductor body portion, and

wherein said charge storage zone also forms a main electrode zone of said field-effect transistor.

- 5 23. A photosensitive element suitable for use in a photosensitive device as claimed in Claim 9, wherein the charge storage zone is an impurity-doped zone of opposite conductivity type to that of said semiconductor body portion and is locally provided in said semiconductor body portion forming a p-n junction therewith.

Translator's notes:

"Claims 1 to 5" in the original, should probably read "Claims 1 to 4"?

"Claims 1 to 9" in the original, should probably read "Claims 1 to 8"?

}

⑨日本国特許庁
公開特許公報

⑩特許出願公開

昭53—27382

⑤Int. Cl.²
H 01 L 31/10
G 11 C 13/06

識別記号

⑥日本分類
99(5) J 42
97(7) C 19

庁内整理番号
6655—57
7056—56

④公開 昭和53年(1978)3月14日

発明の数 3
審査請求 未請求

(全 13 頁)

④光感応装置及びこの光感応装置に用いる光感
応素子

オランダ国アインドーフエン・
エマシゲル29

⑦特 願 昭52—102532

⑦出 願 人 エヌ・ペー・フィリップス・フ
ルーイランベンファブリケン
オランダ国アインドーフエン・
エマシゲル29

⑧出 願 昭52(1977)8月26日

優先権主張 ②1976年8月26日③オランダ国
③35533—76

⑧代 理 人 弁理士 杉村暁秀 外1名

⑨発 明 者 ヤン・ローストロー

明 細 書

1. 発明の名称 光感応装置及びこの光感応装置
に用いる光感応素子

2. 特許請求の範囲

1. 電荷転送電荷蓄積モードで動作する光感
応素子を有する半導体本体を具え、該光感応
素子には一導電型の半導体本体部分と障壁層
によつて該半導体本体部分の主表面から分離
され且つ前記半導体本体部分の光感応区域上
に延在する電極層とを設け、この光感応区域
内には検出すべき入射光刺激に反応して移動
可能な電荷キャリアを発生させ、前記電極層
と前記下側半導体本体部分とで以つてバイア
ス電圧を該電極層に印加して動作期間中且つ
該半導体本体部分の表面の導電型を反転する
ことなく前記下側半導体本体部分内に容量性
空乏層を形成する手段と、該空乏層内に、前
記光感応区域を横切つて前記主表面には平
行で且つ前記電極層の端部方向に延在するド
リフト電界を発生して前記光感応区域の全体

から発生した光励起電荷キャリアをこのドリ
フト電界に沿つて前記端部方向に転送する手
段とを有す電荷転送構体を形成し、ほかに前
記電極層の前記端部に隣接して前記半導体本
体部分に電荷蓄積領域を局部的に画成し前記
ドリフト電界によつて転送された光励起電荷
キャリアを捕獲する手段と、この電荷蓄積領
域と共働しその電荷状態を検出する手段とを
具えたことを特徴とする光感応装置。

2. 前記電荷蓄積領域の最大寸法を電極層の下
側に存在する前記光感応区域全体の前記主表
面に平行な最小寸法よりも少くとも一桁小さく
したことを特徴とする特許請求の範囲第1項
記載の光感応装置。

3. 光感応区域を横切る前記最小寸法を少くと
も $1 \mu\text{m}$ とすることを特徴とする特許請求の範
囲第1項記載の光感応装置。

4. 電極層の下側の前記光感応区域の面積を少
くとも $1 \mu\text{m}^2$ とする特許請求の範囲第1～3
項のいずれかに記載の光感応装置。

特開昭53-27382(2)

5. 前記障壁層を絶縁層とし、電極層を、前記光感応区域上に延在し且つ第一及び第二接続部を有する抵抗性電極とし、該第一及び第二接続部から抵抗性電極に沿って電位差を有する電圧を印加して下側半導体本体部分内にドリフト電界を発生させるようにしたことを特徴とする特許請求の範囲第1〜5項のいずれかに記載の光感応装置。
6. 前記第一及び第二接続部の一方に電圧パルスを印加する手段を設け、これにより光励起発生電荷キャリアを、前記パルスが存在せず、前記一方の接続部が他方の接続部と同電位である場合に前記抵抗性電極の下側に捕集すると共に前記パルスが印加されて両接続部間に前記電位差が生ずる場合に前記電荷蓄積領域にドリフトさせるようにしたことを特徴とする特許請求の範囲第5項記載の光感応装置。
7. 電荷蓄積領域及び前記第一接続部を前記抵抗性電極の一方の隣部に隣接して設け、前記第二接続部を前記抵抗性電極の対向する隣部に隣接して設けるようにしたことを特徴とする特許請求の範囲第5項又は第6項記載の光感応装置。
8. 電極層には従かに前記抵抗性電極に沿って延在し且つ面積が一層小さい細長抵抗性電極を設け、前記第一接続部をこの細長抵抗性電極に隣接して設け、前記第二接続部を前記抵抗性電極の反対側隣部に隣接して設け、前記電荷蓄積領域を前記細長抵抗性電極の一端部に隣接して設け、この細長抵抗性電極にはその両端部に隣接して接続部を設けこれら両接続部間に電位差を有する電圧を印加し下側半導体本体部分内に前記電荷蓄積領域の方向にドリフト電界を発生させるようにしたことを特徴とする特許請求の範囲第5項又は第6項記載の光感応装置。
9. 電荷蓄積領域には切換自在の接続装置を設けこれにより動作中該電荷蓄積領域を電圧源に一時的に接続して光励起発生電荷キャリアの捕集前記電荷蓄積領域の電位をリセットするようにしたことを特徴とする特許請求の範囲第9項又は第10項記載の光感応装置。
10. 前記切換自在の接続装置を前記半導体本体部分内に設けた絶縁ゲート電界効果トランジスタとし且つ前記電荷蓄積領域によつて該電界効果トランジスタの主電極領域をも構成するようにしたことを特徴とする特許請求の範囲第9項記載の光感応装置。
11. 電荷蓄積領域を前記半導体本体部分とは反対の導電型の不純物添加領域とすると共に該半導体本体部分内に局所的に設置して半導体本体部分との間にpn接合を形成するようにしたことを特徴とする特許請求の範囲第9項又は第10項記載の光感応装置。
12. 絶縁電極層は前記一導電型の下側半導体本体部分と相俟つて導電型の電荷キャリアに対してバルクチャネル電荷搬送層を形成し、且つ電荷蓄積領域を形成する半導体領域を一導電型の前記半導体本体部分の一部とすることを特徴とする特許請求の範囲第9項又は第10項記載の光感応装置。
13. 前記電荷蓄積領域の電荷状態を検出するための回路を前記光感応素子と同じ半導体本体部分内に形成するようにしたことを特徴とする特許請求の範囲第1〜12項のいずれかに記載の光感応装置。
14. 電荷蓄積領域の電荷状態を、該電荷蓄積領域の電位と入射輻射線により発生した電荷キャリアの捕集されていない対向する領域の電位とを比較する回路によつて検出し、該回路によつてこれら両電位間の差が予定値を越える場合に出力段を一方の状態から他方の状態へ切換えるようにしたことを特徴とする特許請求の範囲第1〜13項のいずれかに記載の光感応装置。
15. 磁気-光学記憶装置の各別の記憶領域の記憶状態を検す光学的輻射線を検出するために特許請求の範囲第1〜14項のいずれかに記載の光感応装置を用いるようにしたことを特徴とする特許請求の範囲第1〜14項のいずれかに記載の光感応装置。

特開昭53-27382, J

とする磁気-光学記憶装置。

16. 前記電荷蓄積領域の最大寸法を電極層の下側に存在する前記光感応区域全体の前記主表面に平行な最小寸法よりも少くとも一倍小さくしたことを特徴とする特許請求の範囲第2項記載の光感応装置に使用するに好適な光感応素子。
17. 光感応区域を覆切る前記最小寸法を少くとも $1/\mu$ とすることを特徴とする特許請求の範囲第16項記載の光感応素子。
18. 電極層の下側の前記光感応区域の面積を少くとも $1/\mu^2$ とすることを特徴とする特許請求の範囲第16項又は第17項記載の光感応素子。
19. 電荷蓄積領域及び前記第一接続部を前記抵抗性電極の一方の隅部に隣接して設け、前記第二接続部を前記抵抗性電極の対向する隅部に隣接して設けるようにしたことを特徴とする特許請求の範囲第6項又は第8項記載の光感応装置に使用するのに好適な光感応素子。
20. 電極層にはほかに前記抵抗性電極に沿つて、

延在し且つ面積が一層小さい細長抵抗性電極を設け、前記第一接続部をこの細長抵抗性電極に隣接して設け、前記第二接続部を前記抵抗性電極の反対側縁部に隣接して設け、前記電荷蓄積領域を前記細長抵抗性電極の一端部に隣接して設け、この細長抵抗性電極にはその両端部に隣接して接続部を設けこれら両接続部間に電位差を有する電圧を印加し下半導体本体部分内に前記電荷蓄積領域の方向にドリフト電界を発生させるようにしたことを特徴とする特許請求の範囲第5項又は第6項記載の光感応装置に使用するに好適な光感応素子。

21. 電荷蓄積領域には切換自在の接続装置を設けこれにより動作中該電荷蓄積領域を電圧源に一時的に接続して光励起発生電荷キャリアの捕集前記電荷蓄積領域の電位をリセットするようにしたことを特徴とする特許請求の範囲第9項記載の光感応装置に使用するに好適な光感応素子。

22. 前記切換自在の接続装置を前記半導体本体部分内に設けた絶縁ゲート電界効果トランジスタとし且つ前記電荷蓄積領域によつて該電界効果トランジスタの主電極領域を構成するようにしたことを特徴とする特許請求の範囲第21項記載の光感応素子。

23. 電荷蓄積領域を前記半導体本体部分とは反対の導電型の不純物添加領域とすると共に、該半導体本体部分内に局所的に設置して半導体本体部分との間に pn 接合を形成するようにしたことを特徴とする特許請求の範囲第9項記載の光感応装置に使用するに好適な光感応素子。

3 発明の詳細な説明

本発明は電荷転送兼電荷蓄積モードで動作する光感応素子を有する半導体本体を具える光感応装置及びかかる装置に用いる光感応素子に関するものである。

電荷転送兼電荷蓄積モードで動作する光感応素子を有する半導体本体を具える前述光感応装置は、

既知である。一般に所かる既知の装置は、例えば米国特許第 3,896,476 号明細書から明らかなように、所かる光感応素子をアレーに配列して構成している。この光感応素子は一導電型の半導体本体部分と通常は絶縁材料の障壁層によつて半導体本体部分の主表面から分離される電極層とで構成され、この電極層を前記半導体本体部分の光感応区域上に延在させ、この光感応区域内において検出すべき入射輻射線に反応して移動可能な電荷キャリアを発生させ得るようにしている。これら既知の装置においては電極層により光感応素子の光ゲートを構成する。この光ゲートに電圧を印加して前記半導体本体部分の光感応区域内に電位井戸を伴う空乏性の均等な空乏層を形成させる。入射輻射線により発生した電荷キャリアはこの均等な電位井戸内に蓄積する。次いで光ゲートの電位を低い値に切換え、電位井戸は消失し蓄積されていた電荷キャリアは、例えば、複数個の電荷転送シフトレジスタに転送され、従つてこれらシフトレジスタに沿つてこれら電荷キャリアは電荷検出、

回路に転送される。

本発明は、特に比較的大きな光感応区域を有し且つ僅かな光子密度、例えば1秒当り約 10^{12} 光子/ cm^2 以下の光子密度を検出又は測定し得る電荷転送系電荷蓄積モードの光感応素子に関するものである。

前述した既知の電荷蓄積モードの光感応素子は光感応区域を小さくするように設計する必要がある。その代表的な面積は $100\mu^2$ 又はそれ以下である。光感応素子の光感応区域及び光ゲート区域を大きく(例えば 1mm^2 又はそれ以上)するように設計する場合には、光ゲートの電位を低い値に切換える際、蓄積された電荷の一部分が光感応区域から遠方に転送され過ぎ従つて得られた信号が入射輻射線の強度に対応しなくなる虞れがある。これがためかかる大面積の光感応素子に入射する光子密度が低くなると、その結果生ずる信号誤差が著しく大きくなる。

本発明の目的は、電極層の下側の前記半導体本体部分の光感応区域内に発生した移動可能な電荷キ

特開昭53-27382(4)

ャリヤを、半導体本体部分内の電極層の下側に形成した空乏層のドリフト電界によつて電極層の一部分に隣接して局部的に設けられた電荷蓄積領域に転送させ、このドリフト電界を前記光感応区域を横切つて前記電荷蓄積領域の方向に存在させるようにした光感応装置及びこの装置に用いる光感応素子を提供せんとするにある。

本発明の他の目的は光感応区域が極めて大きく且つ光子密度が低い場合でも、全光感応区域から発生する電荷キリヤを電荷蓄積領域に転送し得ると共に、前記電荷蓄積領域の電荷状態又は電位の变化として検出し得る光感応装置及びこの装置に用いる光感応素子を提供せんとするにある。

本発明光感応装置は電荷転送系電荷蓄積モードで動作する光感応素子を有する半導体本体を具え、該光感応素子には一導電型の半導体本体部分と障壁層によつて該半導体本体部分の主表面から分離され且つ前記半導体本体部分の光感応区域上に延在する電極層とを設け、この光感応区域内には検出すべき入射輻射線に匹敵して移動可能な電荷キ

ャリヤを発生させ、前記電極層と前記下側半導体本体部分とで以つてバイアス電圧をこの電極層に印加して動作期間中且つこの半導体本体部分の表面部の導電型を反転することなく前記下側半導体本体部分内に容量性空乏層を形成する手段と、この空乏層内に前記光感応区域を横切つて前記主表面にほぼ平行で且つ前記電極層の端部方向に延在するドリフト電界を発生して前記光感応区域の全体から発生した光助起電荷キリヤをこのドリフト電界に沿つて前記端部方向に転送する手段とを有する電荷転送構体を形成し、さらに前記電極層の前記端部に隣接して前記半導体本体部分に電荷蓄積領域を局部的に形成し前記ドリフト電界によつて転送された光助起電荷キリヤを捕集する手段と、この電荷蓄積領域と共にその電荷状態を検出する手段とを具えたことを特徴とする。

本発明の光感応装置又は少くとも斯かる装置に用いる光感応素子は、前記電荷蓄積領域の最大寸法を電極層の下側に存在する前記光感応区域全体の前記主表面に平行な最小寸法よりもずっと小さく

くする(例えば少くとも一桁小さい)。これがため、電荷蓄積領域の容量は極めて小さくなり、従つて電荷状態の僅かな変化をも検出可能な電位の大きな変化に換換することができる。斯かる光感応素子は、例えば大きな区域に亘る低い光子密度を検出又は測定するのに特に好適である。光感応区域を横切る前記最小寸法を、例えば、少くとも 1mm とし、電極層の下側の前記光感応区域の面積を、例えば、少くとも 1mm^2 とすることができる。

障壁層は、絶縁層とするのが好適であるがこれを例えばショットキー接合即ち電極層と下側半導体本体部分との間のpn接合とすることもできる。

本発明光感応素子及び装置においては、前記光助起発生電荷キリヤを転送するためのドリフト電界を、絶縁電極層と下側半導体本体部分とによつて形成される電極-絶縁層-半導体構体に沿つて可変境界電圧によつて発生させることができる。これがため例えば電圧を印加して前記半導体本体部分に対して電極をバイアスする単一の接続部を有する光ゲート電極によつて電極層を構成するこ

とができる。斯かる場合には、この電極の下側のドリフト電界は、電極下の半導体本体部分の表面に沿って（例えば注入により）ドーピング（不純物添加）勾配を設けることにより若しくは絶縁層内に（例えば注入により）電極の長手方向に沿って変化させる或る量の電荷を導入することにより、又は厚さが電極に沿って距離と共に電荷蓄積領域の方向に次第に薄くなる絶縁層を設けることにより、発生させることができる。

好適な例では前記障壁層を絶縁層とし、電極層を前記光感応区域上に延在し且つ第一及び第二接線部を有する抵抗性電極とし、該第一及び第二接線部から抵抗性電極に沿って電位差を有する電圧を印加して下側半導体本体部分内にドリフト電界を発生させるようにする。斯かる抵抗性電極構体は一般的にいつて現在では前述した可変限界電圧による構体よりも遙かに容易に再現的に製造することができる。

簡単に好適な例においては、抵抗性電極を有する斯かる光感応装置は第一接線部と第二接線部と

うにする。他の例としては、電極層には既に前記抵抗性電極に沿って延在し且つ面積が一層小さい細長抵抗性電極を設け、前記第一接線部をこの細長抵抗性電極に隣接して設け、前記第二接線部を前記抵抗性電極の反対側部に隣接して設け、前記電荷蓄積領域を前記細長抵抗性電極の一端部に隣接して設け、この細長抵抗性電極にはその両端部に隣接して接線部を設けこれら両接線部間に電位差を有する電圧を印加し下側半導体本体部分内に前記電荷蓄積領域の方向にドリフト電界を発生させるようにする。

電荷蓄積領域には引致自在の接線装置を設けこれにより動作中該電荷蓄積領域を電圧源に一時的に接続して光感応発生電荷キャリアの捕集前記電荷蓄積領域の電位をリセットするようにする。前記引致自在の接線装置を前記半導体本体部分内に設けた絶縁ゲート電界効果トランジスタとし且つ前記電荷蓄積領域によつて該電界効果トランジスタの主電極領域を構成するようにする。このようにして特に簡便な構体を得ることができる。し

特開昭53-27382(5)
の間に印加した一定の電位差の電圧により動作させることができる。しかし、或る場合には、光感応装置の動作中両接線部間の抵抗性電極を流れる僅かな電流によつても不所望な熱放散が生ずるようになる。これがため不発明の好適な例では、前記第一及び第二接線部の一方に直圧パルスを印加する手段を設け、これにより光感応発生電荷キャリアを、前記パルスが存在せず、前記一方の接線部が他方の接線部と同電位である場合に前記抵抗性電極の下側に捕集すると共に前記パルスが印加されて両接線部間に前記電位差が生ずる場合に前記電荷蓄積領域にドリフトさせるようにする。従つて不発明によれば抵抗性電極の熱放散を、動作中における前記電位差の存在する期間を短縮することによつて減少させることができる。

後述するように、斯かる抵抗性電極構体として多くの態様が考えられる。一例としては、電荷蓄積領域及び前記第一接線部を前記抵抗性電極の一方の両部に隣接して設け、前記第二接線部を前記抵抗性電極の対向する両部に隣接して設けるよ

かし、他の手段によつて電荷の捕集前に電荷蓄積領域の電荷状態及び電位をリセットし得ることゝ明らかである。

不発明光感応素子においては、電荷蓄積領域を電位井戸の形態とし、これを絶縁ゲート電極の下側の半導体本体部分内に各處的に形成す。斯るゲート構体では、電荷の放出にフローティング・ゲート増幅器の原理を使用することができる。

電荷蓄積領域を前記半導体本体部分とは反対の導電型の不純物添加領域とすると共に該半導体本体部分内に局部的に設置して半導体本体部分との間にpn接合を形成するようにする。斯かる反対導電型領域はこれに一時的に逆電圧を印加してその電位をセットした後、この反対導電型の電荷キャリアを捕集且つ蓄積することができる。しかし絶縁電極層は前記一導電型の下側半導体本体部分と相俟つて一導電型の電荷キャリアに対してバルクチャネル電荷搬送構体を形成し、且つ、電荷蓄積領域を形成する半導体領域を一導電型の前記半導体本体部分の一部とするようにする。

絶縁電極層と下側半導体本体部分とによつて形成される電荷転送機構を炭素チャネル電荷転送型とし、少数電荷キャリア（即ち、前記反対導電型の電荷キャリア）を前記絶縁電極層の下側の前記半導体本体部分の表面に誘致して転送させるようにする。しかし、電荷転送機構をバルクチャネル電荷転送型とし、多数電荷キャリア（即ち、一導電型の電荷キャリア）を前記半導体本体部分のバルク内の微小単位部分に沿つて転送させこれにより移動可能な電荷キャリアを捕捉して転送効率を低下させる虞れのある表面状態が生じるのを防止することができる。斯かるバルクチャネル電荷転送機構にあつては、例えば、オランダ国公開特許公報第7,303,778号に対応する係属中の英国特許出願第11,974/74号に記載したような優れたドーピング輪郭を得る目的で前記半導体本体部分内に一層高濃度の不純物添加した前記一導電型の表面層を設けるのが好適である。

前記電荷蓄積領域の電荷状態は多くの方法で検出することができる。即ち種々の形式の電荷検出

特開昭53-27382(6)

回路を用い、これら回路を前記電荷蓄積領域に関連する電極位置に至達してその電荷状態を読み取り得るようにする。斯る電極位置は例えば前記電荷蓄積領域上に設けられた絶縁センシング・ゲート電極とすることができる。しかし、この電極位置を前記電荷蓄積領域に近接させて直接前記電荷蓄積領域の電位を読み取るのが好適である。前記電荷蓄積領域の電荷状態を検出するための回路を前記光感応素子と同じ半導体本体内に集積化すると、装置の構造を簡潔とすることができる。前記電荷蓄積領域の電荷状態を該電荷蓄積領域の電位と入射輻射線により発生した電荷キャリアの捕捉されていない対応する領域の電位とと比較する回路によつて検出し、該回路によつてこれら両電位間の差が予定値を越える場合に出力段を一万の状態から他方の状態へ切換えるようにする。このようにして入射輻射線の有無を確実に表示することができる。

本発明光感応素子及び光感応装置は磁気-光学記憶装置を説出するのに特に有利である。従つて、

本発明によれば、磁気-光学記憶装置の各別の記憶領域の記憶状態を表す光学的輻射線を検出するために前記光感応装置を用いるようにする。通常斯かる記憶装置は、レーザビームその他の元ビームを各別の記憶領域に当てて偏光し透過ビームの偏光面を検出することによつて読出す。斯かる装置においては、本発明光感応装置の電荷状態はビームが各別の記憶領域に切換えられる度毎に検出することができる。

しかし、本発明光感応素子及び光感応装置は他の用途、例えばカメラの露出計に使用することもできる。この場合には、例えば、シュミットトリガ回路を用いて電荷蓄積領域の電位を差動的に監視し、所感露出に対応する或る電圧レベルが得られた時点を検出してカメラのシャッターを駆動し得るようにする。

図面につき本発明を説明する。

添付図面は模式的なもので寸法通りではなく、明瞭ならしめるため一部の領域及び層を他に比して拡大して示す。

第1図に示す光感応装置は光感応素子を有する半導体本体1をもつて構成する。この半導体本体1は代表的には、例えば、単結晶シリコンとする。光感応素子は一導電型の前記半導体本体1の一部分2と電極層4とを以て構成し、この電極層は電極層6によつて前記半導体本体部分2の主表面5から分離され且つ半導体本体部分2の光感応区域上に延在させる。第1図の装置においては、電極層6を、例えば酸化シリコンで塗り検出すべき輻射線3を透過し得る絶縁層とする。この電極層4の下側の光感応区域には検出すべき入射輻射線3に適合して移動可能な電荷キャリアが発生する。絶縁電極層6は下側半導体本体部分2と相俟つて電荷転送機構を形成しこれにより光助起発生電荷キャリア（この場合少数電荷キャリア）を空乏層7内のドリフト電界に沿つて転送し得るようにする。この空乏層7は、バイアス電圧 $V(R1)$ 及び $V(R2)$ を電極層4に印加することによつて半導体本体部分2の表面の導電型を反転することなく動作期間中前記下側半導体本体部分2内に客観的に

形成する。第1図の装置において、電極層4は、傾出すべき電磁輻射線3を透過でき且つそのほぼ全域が前記光感応区域を覆う抵抗性電極で構成する。抵抗性電極4にはこの抵抗性電極4に沿って電位差を有する電圧 $V(R2) - V(R1)$ を印加して下側半導体本体部分2内にドリフト電界を発生させるための第一接続部8と第二接続部9とを設ける。このドリフト電界は第2図中に示す電位勾配10によつて表わされ、電極4の下側に存在する全光感応区域にわたつて存在し且つ表面5とはほぼ平行とする。第2図の電位輪郭は表面5に沿つてとつたものである。電位 $V(R1)$ 及び $V(R2)$ の大きさは各々電極-絶縁層-半導体によるコンデンサ構体4, 6, 2の限界電圧よりも大きくする。

第1図及び第2図に示すように、半導体本体部分2をn型導電型とすることができ、この場合は輻射線3によつて励起され発生した電子-正孔対のうちの正孔//を電極4の下側の表面5に隣接して搬送させる表面チャネルを半導体本体部分2に設ける。負電圧 $V(R1)$ 及び $V(R2)$ によつて発生さ

せたドリフト電界10の方向は、電荷蓄積領域15が設けられている絶縁電極層4の端部に同方向とする。これがため、半導体本体部分2の光感応区域の全域から光励起発生した移動可能な電荷キャリア//はドリフト電界10により電荷蓄積領域15に搬送される。電荷蓄積領域15と電極層4との間には僅かながら重なり合う部分を設ける。

電荷蓄積領域15は、切換自在の接続装置16(この場合絶縁ゲート電界効果トランジスタを設けこれにより電荷蓄積領域15を電圧源 $V(0)$ に動作中一時的に接続し得るようにした半導体領域とする。接続装置16によつて、電荷蓄積領域15の電位及び電荷状態を前記移動可能な電荷キャリア//の捕集前にリセットする。第1図及び第2図の光感応装置においては、電荷蓄積領域15は半導体本体部分2の導電型とは反対の導電型(p型)とし、電荷キャリア//の捕集前にトランジスタ16が導通状態になつている該電荷蓄積領域15と半導体本体部分2との間のpn接合17に負電圧 $V(0)$ により逆バイアスをかけるようにする。これがため電荷蓄積領域15

に形成される電位井戸は絶縁電極層4の下側に形成される電位井戸より深くなる。次にトランジスタ16が非導通状態になると予め荷電されていたp型電荷蓄積領域15が光励起発生正孔//を捕集し且つ蓄積するため領域15に形成される電位井戸の電位は第2図中に破線18で示すように僅かではあるが正に向かうようになる。スイッチ16はゲート17にバルスφ(1)を印加することによつて既知の様に開閉し得るようにする。

電荷蓄積領域15に電極装置19を内蔵させてその電荷状態を検出できるようにする。第1図の構成配置においては、この電極装置19は電荷蓄積領域15にオーーム接続し且つ検出器回路20にその出力を接続するようにする。検出回路20の出力電圧 $V(0)$ は電荷蓄積領域15の電荷状態及び電位によつて決まる。

代表的な一例においては、印加電圧 $V(R1)$ 及び $V(R2)$ を夫々例えば-4V及び-5Vとし、印加電圧 $V(0)$ を例えば-10Vとすることができる。半導体本体部分2は接地する(0V)。n型半導体本体部分2の抵

率は例えば $50\text{-}\Omega$ とすることができる。電荷蓄積領域15は不純物添加量を例えば 10^{17} 又は 10^{18} 原子/cm³としてp型不純物を添加又は注入することにより半導体本体部分2の中に形成することができる。絶縁層6は例えば無水酸化シリコンとしその厚さを例えば 0.1μ とすることができる。抵抗性電極4は絶縁層6上に蒸着させた多結晶シリコンから成り、その面積抵抗は例えば $10^4\Omega/\text{cm}^2$ とする。電極4の下側の光感応区域は例えば少くとも 1cm^2 とすることができる。

電極層4の下側の全光感応区域で光励起発生された正孔//はドリフト電界10のため電荷蓄積領域15へドリフトし、従つて全光感応区域にわたつて高い捕集効率を得られる。これは特に低光子密度の検出又は測定を目的とした大面積の検出器用としてとりわけ有利な点である。検出領域15の面積は装置中大きな光感応区域と比較して極めて小さくすることができ、従つて、検出領域15の容量は極めて小さく、かくして低光子密度、例えば毎々1秒当り 10^{12} 光子/cm²にすぎない低光子密度の幅

・対線によつて光励起発生された電荷キャリアを捕集した結果生じるものであつてもその電位変化は比較的大きくなり容易に脱取り可能となる。代表的な場合、前記電荷蓄積領域15の最大寸法 \underline{d} は前記主表面5に平行な前記光感応区域全体の両端間の最小寸法 \underline{D} と比較して少くとも一乃至二倍小さい。これがため、第4図に示す形態においては、例えば \underline{d} を 10μ 、 \underline{D} を 1000μ 以上、例えば約 3mm とすることができる。第4図では、明瞭ならしめるため、絶縁層4と電荷蓄積領域15への接続部を省いてある。接続部8及び9は抵抗性電極4の対向する側部に隣接して設ける。そして電荷蓄積領域15は接続部9に隣接する側部に設ける。電荷蓄積領域15及び電極4は方向を違えてハフティングして示してある。

接続部9と8との間の電位差によつて抵抗性電極4に不所望の熱放散が発生する虞れがある。第3図はパルス発生器で発生させた電圧パルス $V(R1)$ を、固定電圧の代りに、接続部8に印加する熱放散減少法を示す。クロックパルス $V(R1)$ は二個の

レベル、即ち大きさが接続部9に印加される $V(R2)$ に等しい、第一レベル8及び大きさが $V(R2)$ より(負方向に)小さい第二レベル8を有している。 $V(R1)$ がレベル8にある時は電極層4の下に均質な電位井戸が形成される。入射光対線3により光励起発生された正孔はこの電位井戸内に貯まることができ、その一部は電荷蓄積領域15に抵散する可能性がある。かくして、レベル8の時、電極層4は通常の光ゲート電極のように振舞う。電荷蓄積期の終わりに於いて短時間パルスレベル8を印刷して電位勾配及びドリフト電界10を発生させる。電位井戸内に蓄積されていた全正孔はその時間記ドリフト電界10に沿つて前記電荷蓄積領域15に転送される。

第1図及び第4図に示した新規な電荷蓄積モードの光感応素子は様々な変形できることは明らかであろう。かくして、例えば、第5図及び第6図は別の電極レイアウトを平面図に示す。第5図に示す光感応素子においては、電荷蓄積領域15の側面を絶縁抵抗性電極4により囲む。この場合接続

部9は電荷蓄積層15に隣接して抵抗性電極構造の内側周縁部に設け、接続部8は外側周縁部に設ける。この第5図構造の利点は電荷蓄積領域15から遠く離れた光感応区域部で光励起発生された電荷キャリアを転送する距離、従つて転送時間を短縮できることである。この構造の不利な点は電荷蓄積領域15への電極接続部(図示せず)のため光感応装置の光感応区域内に非感応中心部が形成され且つ9及び15への接続導線が光感応区域を横切つて延在する可能性があることである。

第5図の構造を変形させて電極4をらせん形にし、その内端に中心傾斜15に隣接して接続部9を設け、外端に接続部8を設けた別の装置を構成できる。

第6図は、抵抗性電極層4を第1図及び第4図の大面積電極に類似する主要部8とその一側に沿つて延在する細長部8とで構成する本発明光感応素子の別の形態を示す。この場合、抵抗性電極8の接続部9は細長抵抗性電極8と隣接する側に設け、接続部8は抵抗性電極8の反対側縁部に設ける。電極8にはその両端部に隣接して接続部8及び9を設けそこに電位差を有する電圧を印加して下側半導体本体部分に電荷蓄積領域15方向へのドリフト電界を発生させる。電極8と8の下側のドリフト電界はほぼ一様で且つ互に垂直である。光励起発生電荷キャリアはまず電極8の下を右方向にドリフトし、次に電極8の下を電荷蓄積領域15へと下方にドリフトする。明瞭ならしめるため第6図には、電極8と電極8を離して描いてある。電極8から電極8へ効率よく電荷転送するためには

この間隔を最小にすべきである。電極3とおを互にオーバーラップさせると好適である。勿論電気的には相互に絶縁する。電極おは装置の光感応区域の一部にかかる。代りに電極おを入射輻射線3からシールドし前記光感応区域が電極3の下にだけ存在するようにできる。

第4-4図につき説明した光感応素子は第7図のような装置構成に用いるのに特に適していることは明らかであろう。勿論他の変形も可能である。かくして、例えば第7図は、半導体本体1内に絶縁ゲート電界効果トランジスタ16を設けた優れたコンパクトな構造を得る方法を示す。この形態においては、電荷蓄積領域がトランジスタの一方の主電極領域15を形成し、(動作中電圧源V(0)を接続する)他方の主電極領域は隣りに隣てP型領域14を設けることによつて形成する。トランジスタのゲート電極17はN型半導体本体部の領域15と14との間の部分の上の絶縁層18の部分上に設ける。かくして、この場合、切換自在な接続装置16はPチャネルエンハンスメント形トランジスタとなる。

それによつて前記半導体本体1の周辺部19との間にpn接合を形成させる。バルクチャネル電荷転送機構については例えば引例として挙げる英国特許明細書第1,414,153号に説明がある。半導体本体部分2の全表面を例えばイオン注入により高不純物添加するとよい。既に知られているように、斯かる高不純物添加表面層を設けることにより、優れた特性をもつバルク転送チャネルを形成できる。これについては例えばオランダ国公開特許公報第7303778号に対応する係属中の英国特許出願第11974/74号に説明がある。加うるに高不純物添加表面層の存在により、抵抗性電極4の下で半導体本体部分2内に容量的に発生させる電位差の値を該抵抗性電極4の接続部8と9との間に印加される電圧値に一層精密に対応するようにできる。この例では、電荷蓄積領域15は前記P型半導体本体部分2の一部とし、高不純物添加P⁺表面領域を構成するようにできている。この電荷蓄積領域15をディープディプレッション形Pチャネルトランジスタスイッチ16の二個の主電極領域15及び14の一

特開昭53-27382(9)

第7図はまた別の可能な変形、即ち電荷蓄積領域15に等価であるが光助起発生電荷キャリア//を集めてその電荷状態及び電位を変えていない基準電荷蓄積領域14を設ける場合をも示す。この基準電荷蓄積領域14は寸法及びドーピング(不純物添加)を電荷蓄積領域15と等しくする必要はないが、接合容量を同じにシトランジスタスイッチ16を経て電圧源V(0)により電荷蓄積領域15と同じ電位に予めバイアスしておく。この場合検出器16は電荷蓄積領域15と基準電荷蓄積領域14との間の電位差を検出する。所望により、電荷蓄積領域15に隣接する絶縁抵抗性電極と等価な第二の絶縁抵抗性電極構造を基準電荷蓄積領域14に関連させることも可能であるが、その場合これを入射輻射線から遮蔽して、絶縁抵抗性電極構造4, 4', 2の下に発生する暗電流が電荷蓄積領域15に及ぼす効果に対して基準電荷蓄積領域14を補償させる。

第8図はバルクチャネル電荷転送機構を用いる別の変形を示す。この場合、半導体本体部分2を例えば表面に隣接する反対導電型(P型)の島とし、

方とする。このトランジスタスイッチ16はそのゲート電極17に正の電圧レベルを印加することにより閉成(即ちターンオフ)して下側P型トランジスタチャネル部53を充分に空乏ならしめることができる。この装置においては、光助起発生電子-正孔対の正孔の方をバイアスした抵抗性電極4の下で空乏層内に形成されたドリフト電界に沿つて転送する。

本発明装置において電荷蓄積領域15の小さな電荷状態の変化を検出するためには、検出器回路16の入力容量は小さい方が望ましい。第9図はPチャネルエンハンスメント形絶縁ゲート電界効果トランジスタを具える斯かる回路の一例を示す。この電界効果トランジスタは光感応素子と同じ半導体本体に一体に集積化できる。この検出回路は既知の形式のものであつて、電荷蓄積領域15(例えば0.1 pFのコンデンサ0(4)で表す)の電位と或る対応領域(0.1 pFのコンデンサ0(2)で表す)の電位とを比較する。コンデンサ0(2)で表わされる領域も同じ半導体本体内に設けるが、これは入射輻

射線3により光励起発生された電荷キャリアを集めることはしない。これら両電位の間の電位差が予定義境界値を越えない時は、(この時トランジスタT(1)、T(2)及びT(5)がターンオンされる)フリップフロップトランジスタT(4)が導通し出力トランジスタT(7)をスイッチオンして低い出力電圧V(9)を与える。

電荷の捕集と検出を行う前に、フリップフロップT(3)及びT(4)の両側の電位をトランジスタT(6)により平衡させる。ソースとドレインを短絡させたトランジスタT(6)をコンデンサC(2)に関連する別のコンデンサとして使い或る不平衡を前記フリップフロップT(3)及びT(4)に導入する。C(1)とC(2)との間の電位差の前記予定義境界値はトランジスタT(6)のゲートに印加される負の電圧パルスφ(8)の振幅とこのゲートの容量値とによつて定められる。トランジスタT(2)が第1図のトランジスタスイッチ16に等価なことに注目すべきである。かくして、電荷捕集と検出に先立ち、C(1)とC(2)とによつて表わされる電荷蓄積領域15の初期電位と初期

特開昭53-27382(10)

電荷状態を、トランジスタT(5)がオフでトランジスタT(11)とT(12)が導通状態の時、トランジスタT(1)とT(2)をターンオンすることによつてセットする。トランジスタT(12)は、相対電位レベルを検出するためにトランジスタT(1)、T(2)及びT(5)をターンオンする直前に、コンデンサC(1)によつて表わされる電荷蓄積領域15をフリップフロップT(3)、T(4)から絶縁するために設ける。トランジスタT(12)とT(9)はトランジスタT(11)とT(7)の夫々の容量効果を平衡させるために設ける。クロックパルスφ(1)、φ(5)、φ(6)、φ(8)、φ(11)及びφ(14)は、第9図に示すように、トランジスタのターンオン及びターンオフを制御するためにトランジスタのゲートに印加する。これらのクロックパルスはパルス発生器によつて供給できる。

もう一つのトランジスタT(14)は、電荷捕集のため電荷蓄積領域15の初期電位をリセットする直前に、電極4の下の中導体本体部分2の表面5の電荷キャリアトラップを満たすために電荷捕集に先立つて電荷蓄積領域15を一時的に接地できるよ

うにする目的で設ける。斯かる表面トラップの充填は第1図の構成においてはトランジスタスイッチ16が導通状態の時且つ電荷蓄積領域15をその正規初期負電位V(9)にプリチャージする直前に(例えばクロックパルスによつて)電圧V(9)をアース電位に一時的に下げることによつても行うことができる。

第10図は本発明磁気-光学記憶装置を示す。既知の磁気-光学記憶装置は例えば米国特許第3,164,816号、ドイツ国公開特許公報第2,337,301号(係属中の英国特許出願第491/10/78号)及び「ジャーナルオブアプライドフィジクス」第46巻第4号1975年6月pp. 2733-2736中に記載されている。本明細書はこれら全ての文献を引例とするものである。斯かるシステムは一般に記憶蓄積領域41のアレーを有す磁気-光学記憶板40を具える。装置42によつて発生せられたビーム43は偏光装置44によつて偏光させられて各記憶蓄積領域41をアドレスする。記憶板40は異なる記憶状態を記憶板40に書き込む時励磁される磁界コイル45内に置く。

検出しは一般には偏光ビーム43を用いて行う。記憶蓄積領域41を透過した後でこの記憶蓄積領域41の記憶状態如何でビームの偏光面を回転させることができる。透過ビーム43は一方の記憶状態に対応する一平面に偏光されている時はビーム43を透過させ他方の記憶状態に対応する他の平面に偏光されている時は透過させない偏光アナライザ46に通す。次に光検出器47を使つてビーム43が偏光アナライザ46を透過したか否かを検出する。

本発明磁気-光学記憶装置においては、本発明光感応装置(例えば前の図面につき説明したような光感応装置)をビーム43を検出するために使用する。記憶板40、偏光アナライザ46及び光検出器47は、第10図では明瞭ならしめるため可成りスペースをとつて描いてあるが、実際には互に近接して配置する。光検出器47の光感応区域の大きさは記憶板40の記憶アレーの面積と同じオーダーである。記憶蓄積領域41のどの位置が読出されるかによつて、偏光アナライザ46を透過

特開昭53-27382(11)

したビーム 63 は抵抗性電極 4 の下の全光感応区域の異なる部分に入射する。かくして、光検出器 67 の全光感応区域上の光子密度は一般に小さく、例えば 1 秒当り 10^{12} 光子/cm² 又はそれ以下である。しかし、光感応区域のどの位置にビーム 63 が入射しようとも、このビーム 63 によつてそこに光励起発生された正孔は、本発明によれば、電極 4 下のドリフト電界に沿つて転送されることによつて電荷蓄積領域 15 へ転送される。

光感応装置 67 の電荷蓄積領域 15 の電荷状態はビーム 63 が各記憶蓄積領域に切換えられる度毎に光検出器 20 によつて検出する。偏向装置 64 は制御装置 70 によつて制御する。制御装置 70 はまた信号を光検出器 20 に与えて前記電荷状態を検出し、また信号を電荷蓄積領域 15 の切換自在な接続部 16 のゲート 17 に与えて検出後電荷蓄積領域 15 の電位を $V(0)$ にリセットする。

本発明の範囲内で一層多くの変形例が可能なのは明らかであろう。かくして、様々な部分の例えば幾何学的構成、ドーピング（不純分添加）、

抵抗率その他の特性を広範な範囲内で選択することができる。各種半導体領域の導電型を同時に反対の型に変える（それと共に勿論印加電圧の極性をも変える）ことも可能である。勿論、シリコン以外の他の電荷転送・蓄積媒体、並びに他の絶縁層材料及び電極材料を使用することも可能である。

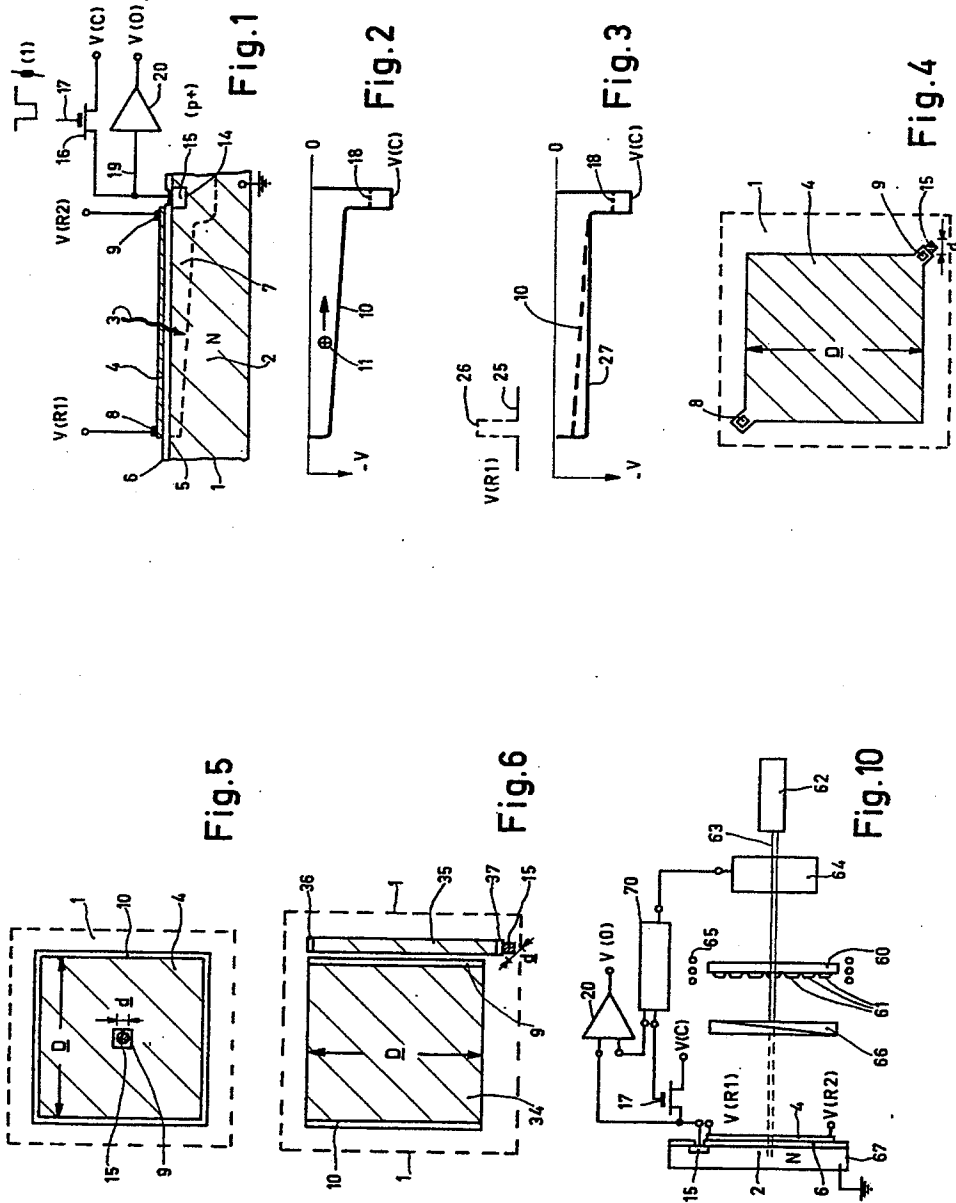
4 図面の簡単な説明

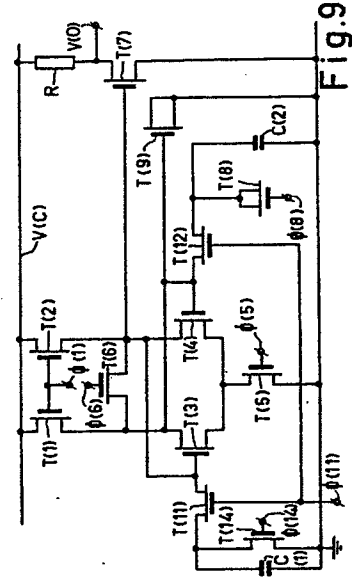
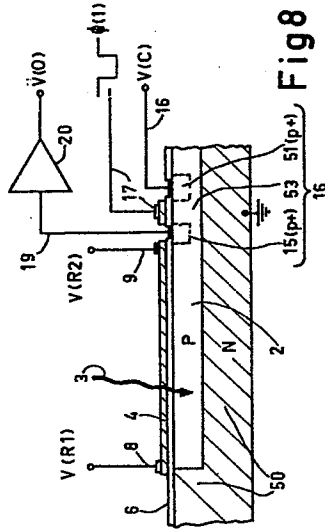
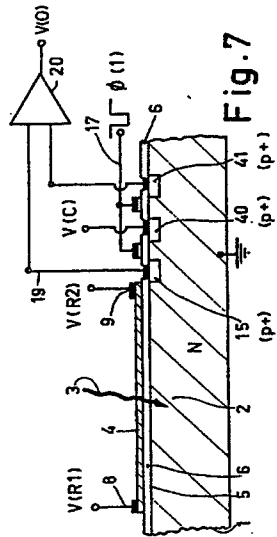
第 1 図は本発明光感応装置の光感応素子を示す断面図、第 2 図及び第 3 図は第 1 図の光感応素子の装置本体の電位分布を示す説明図、第 4 図は第 1 図の装置に使用するための本発明光感応素子を示す平面図、第 5 図及び第 6 図は本発明光感応素子の変形例を示す平面図、第 7 図及び第 8 図は本発明光感応装置内の光感応素子の他の例を示す断面図、第 9 図は本発明光感応装置の検出器回路を示す接続配置図、第 10 図は本発明光感応装置を用いた磁気-光学記憶装置の例を示す側面図である。

1…半導体本体、2…半導体本体部分、3…入射偏射線、4…電極層、5…主表面、6…障壁層、

7…空乏層、8…第一接続部、9…第二接続部、10…ドリフト電界、11…正孔、12…pn 接合、13…電荷蓄積領域、14…接続装置、17…ゲート電極、18…浅い電位、19…電極装置、20…検出器回路、25…第一レベル、26…第二レベル、27…電位井戸、34…主要電極部、35…細長電極部、36、37…接続部、40…主電極領域、41…基準電荷蓄積領域、50…周辺部、51…主電極領域、53…チャネル部、60…記憶板、61…記憶蓄積領域、62…ビーム発生装置、63…ビーム、64…偏向装置、65…磁界コイル、66…偏光アナライザ、67…光検出器、70…制御装置、 $V(R1)$ 、 $V(R2)$ 、 $V(0)$ …バイアス電圧、 $V(0)$ …出力電圧、 $T(3)$ 、 $T(4)$ …フリップフロップ、d…電荷蓄積領域の最大寸法、D…光感応区域の最小寸法。

特開昭53-27382(12)





特開昭53-27382(13)